

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-35933

(P2001-35933A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl.⁷

識別記号

F I

テームト (参考)

H 0 1 L 21/8238
27/092
27/04
21/822

H 0 1 L 27/08
27/04
27/08

3 2 1 B 5 F 0 3 8
H 5 F 0 4 8
3 2 1 H

審査請求 有 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平11-207451

(22) 出願日 平成11年7月22日 (1999.7.22)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 国分 徹也

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

Fターム (参考) 5F038 BH06 BH13 BH18 EZ01 EZ13
EZ20

5F048 AA02 AA03 AA09 AC03 BA01

BA12 BD04 BE01 BE02 BE03

BE05 BE06 BE09 BG12 CC09

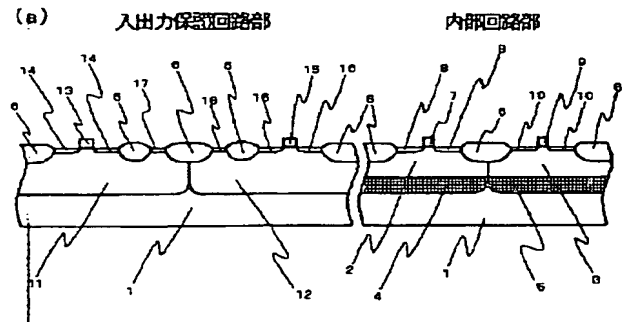
CC13 CC15 CC16 CC19

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

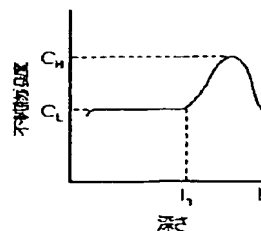
【課題】 良好なラッチアップ耐性を有する内部回路部と、良好な静電サージ耐性を有する入出力保護回路部とを備える半導体装置を提供すること。

【解決手段】 内部回路部に含まれるウェル領域が、下層部に不純物高濃度領域4および5、ならびに上層部に不純物低濃度領域2および3を含んでいるのに対し、入出力保護回路部に含まれるウェル領域は、不純物低濃度領域11および12のみを含んでいる。



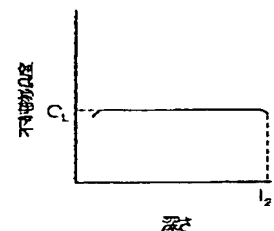
(b)

内部回路部



(c)

入出力保護回路部



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された互いに異なる導電型の第一ウェル領域および第二ウェル領域と、該第一ウェル領域および第二ウェル領域にそれぞれ形成されたトランジスタとを含んでなる CMOS を備えた内部回路部と、前記半導体基板上に形成された互いに異なる導電型の第三ウェル領域および第四ウェル領域と、該第三ウェル領域および第四ウェル領域にそれぞれ形成されたトランジスタとを含んでなる CMOS を備えた入出力保護回路部とを有する半導体装置であって、前記第一ウェル領域および第二ウェル領域は、不純物低濃度領域と、その下方に設けられた該不純物低濃度領域と同じ導電型の不純物高濃度領域とを含んでなり、前記第三ウェル領域および第四ウェル領域は、不純物低濃度領域からなることを特徴とする半導体装置。

【請求項 2】 前記第一ウェル領域および第二ウェル領域に含まれる不純物高濃度領域の不純物濃度は $2.0 \times 10^{17} \text{ atoms/cm}^3$ 以上 $2.0 \times 10^{18} \text{ atoms/cm}^3$ 以下であり、前記第一ウェル領域、第二ウェル領域、第三ウェル領域および第四ウェル領域に含まれる不純物低濃度領域の不純物濃度は $1.0 \times 10^{17} \text{ atoms/cm}^3$ 以上 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以下であり、前記第一ウェル領域および第二ウェル領域に含まれる不純物高濃度領域の不純物濃度の、前記第三ウェル領域および第四ウェル領域に含まれる不純物低濃度領域の不純物濃度に対する比は 1.2 以上 10.0 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第三ウェル領域上に、該第三ウェル領域と同じ導電型の拡散層が形成されており、前記第四ウェル領域上に、該第四ウェル領域と同じ導電型の拡散層が形成されていることを特徴とする請求項 1 または 2 いずれかに記載の半導体装置。

【請求項 4】 放射線環境下で用いられることを特徴とする請求項 1 乃至 3 いずれかに記載の半導体装置。

【請求項 5】 (a) 半導体基板上に所定箇所が開口された第一のホットレジストを形成する工程と、(b) 前記第一のホットレジストをマスクとしてイオン注入法を行うことにより、内部回路部に第一の不純物低濃度領域、入出力保護回路部に第二の不純物低濃度領域をそれぞれ形成する工程と、(c) 第一の不純物低濃度領域上にのみ開口部が設けられた第二のホットレジストを形成する工程と、(d) 前記第二のホットレジストをマスクとしてイオン注入法を行うことにより、前記第一の不純物低濃度領域内の下層部に、前記第一の不純物低濃度領域と同じ導電型の不純物高濃度領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 6】 前記第一のホットレジストを除去することなく、前記第一のホットレジストに前記第二のホットレジストを積層することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ラッチアップ耐性が付与された内部回路部と、静電サージ電流に対する耐性 (ESD 耐性) が付与された入出力保護回路部とを兼ね備える半導体装置に関するものである。

【0002】

【従来の技術】相補型 MOS トランジスタ (CMOS) は P 型と N 型の MOS を組み合わせることによって構成されており、消費電力が低いことや低電圧でも作動するなどの特徴から、これまで半導体の中で最も汎用的に使用されてきた。そして、近年では、CMOS を搭載した半導体装置は、宇宙空間などの放射線に暴露されるといった過酷な環境でも使用されるに至っている。しかしながら、従来の CMOS 型半導体装置を放射線環境下で使用すると、荷電粒子の入射によって誤動作が発生するという問題があった。この誤動作は、荷電粒子の飛跡に沿って発生した電荷がファネリング現象などのメカニズムで拡散層に収集されるために発生するもので、シングルイベント現象と呼ばれる。シングルイベント現象には、収集された電荷がドレインに接続されているノードの電位を変化させてビット反転を引き起こすシングルイベントアップセット現象や、収集された電荷がトリガ電流となることで引き起こされるシングルイベントラッチアップ現象などがある。

【0003】従来の CMOS 型半導体装置では、N 型ウェル領域に正電圧を加え、N 型ウェル・P 型ウェル間の PN 接合が逆バイアス状態になるようにして使用する。この CMOS トランジスタの N 型ウェル領域を荷電粒子が貫通すると、その飛跡に沿って電子・正孔対が発生する。このとき、空乏層内の電子はドリフトで、また基板領域の電子は拡散で、N 型ウェル領域に収集される。さらに、逆バイアス状態の N 型ウェル領域の底部では、発生した電荷によって空乏層内が導電状態となり、空乏層にかかっていた電界が低不純物濃度の P 型基板方向へ円柱状に伸長して印加される。この伸長した電界領域 (ファネリング領域) 内の電子も、ドリフトによって N 型ウェル領域に収集される。このようにして収集された電子流は、電流パルスとなって N 型ウェル領域内を流れ、ラッチアップ発生のトリガとなる。この様にして発生するのがシングルイベントラッチアップである。

【0004】ラッチアップの発生を抑制する公知の技術としては、たとえば特開昭 58-201353 号公報にあるように、半導体基板の主面に形成されたウェル領域の下層部に、ウェル領域と同じ導電型の不純物高濃度領域を設ける例がある。該不純物高濃度領域を設けることにより、ウェル領域内に形成される寄生トランジスタを実質的にラテラル構造とし、電流増幅率を小さくして、ラッチアップ現象の発生を抑制する。またウェル領域の下層に不純物の高濃度領域をイオン注入法で形成する、

いわゆるレトログレードウェルの製造に関する開示例としては、例えば特開平1-130561号公報、特開平4-3920号公報などがある。

【0005】特に、ツインウェルのCMOS構造を有する半導体装置では、図4に先行技術として示すように、N型およびP型ウェル領域の両方がレトログレードウェルであるような構造が一般的となっている。図4の左側は入出力保護回路部であり、右側は内部回路部である。両者は分離して描かれているが、同一の半導体チップの一部を示したものである。まず、内部回路部について説明する。P型シリコン基板101上に、N型ウェル領域102、P型ウェル領域103が形成されている。また内部回路部では、N型ウェル領域102の下層部に不純物高濃度領域のN+型ウェル領域104が、またP型ウェル領域103の下層部に不純物高濃度領域のP+型ウェル領域105が、それぞれ設けられている。基板表面には素子分離絶縁膜106が形成されている。N型ウェル領域102の上には、ゲート電極107およびP+型領域108からなるPチャネル型MOSトランジスタが、P型ウェル領域103の上には、ゲート電極109およびN+型領域110からなるNチャネル型MOSトランジスタが形成されている。各ゲート電極の底面にはゲート酸化膜が存在するが、図示は省略した。

【0006】次に、入出力保護回路部について説明する。半導体基板101上に、N型ウェル領域111、P型ウェル領域112が形成されている。また内部回路部と同様に、N型ウェル領域111の下層部に不純物高濃度領域のN+型ウェル領域113が、またP型ウェル領域112の下層部に不純物高濃度領域のP+型ウェル領域114が、それぞれ設けられている。基板表面には素子分離絶縁膜106が形成されており、N型ウェル領域111の上にはゲート電極115およびP+型領域116からなるPチャネル型MOSトランジスタが、P型ウェル領域112の上にはゲート電極117およびN+型領域118からなるNチャネル型MOSトランジスタが、それぞれ形成されている（ゲート酸化膜の図示は省略）。

【0007】このようなレトログレードウェルを採用することにより、該半導体装置のラッチアップ耐性向上が実現されてきた。

【0008】

【発明が解決しようとする課題】従来の半導体装置では、入出力端子へのサージ電流（電圧）から内部回路を保護することを目的とした入出力保護回路部が設けられてきた。すなわち、入出力保護回路部を設けることで、ESD破壊や、入出力端子からの電流ノイズに起因するラッチアップから、内部回路部の保護が試みられてきた。しかしながら、入出力保護回路部が形成されているウェル領域の下層部に、不純物高濃度領域が設けられると、ラッチアップ耐性が向上する反面、ESD耐性が低

下するという課題がある。これは、以下の理由による。第一には、入出力保護回路部が形成されているウェル領域の下層部に不純物高濃度領域があると、寄生バイポーラトランジスタの電流増幅率が低下するため、入出力端子から印加されるESD電流のバイパス能力が低下する。このため、ESD耐性が低下する。第二には、寄生バイポーラトランジスタのエミッターベース間をシャントする抵抗（シャント抵抗）が低下するため、ラテラルバイポーラトランジスタが動作するための注入電流が増加し、応答速度が遅くなる。このため、静電パルスが印加された場合、入出力保護回路部は瞬時に応答できない。第三に、スナップバック電圧が高くなるため、ジュール発熱量が増加し、熱破壊を発生しやすくなるためである。

【0009】従来の半導体装置では、NおよびN+型ウェル領域、PおよびP+型ウェル領域がそれぞれ1回ずつのフォトリソグラフィーで形成されるため、図4で示したとおり、同一半導体チップ内にある内部回路部および入出力保護回路部を構成するウェル領域のいずれにも、不純物高濃度領域が存在していた。このため、入出力保護回路部のESD耐性は不十分で、入出力保護回路部としての機能を十分に果たしていなかった。

【0010】特に、CMOSが搭載された半導体装置を宇宙空間などの放射線環境下で使用する場合、内部回路部にはシングルイベントラッチアップ耐性が要求されるため、内部回路部に含まれるウェル領域には不純物高濃度領域が存在することが必須である。一方、使用環境の如何に係わらず、内部回路部をESDや入出力端子からの電流ノイズに起因するラッチアップから保護するには、入出力保護回路部を設ける必要があり、この入出力保護回路部にはESD耐性が要求される。すなわち、CMOSより構成される内部回路部と入出力保護回路部が搭載された半導体装置を宇宙空間などの放射線環境下で使用する場合、内部回路部のラッチアップ耐性と入出力保護回路部のESD耐性の両立が強く望まれていた。

【0011】

【課題を解決するための手段】本発明は上記の事情に鑑みてなされたものであり、上記課題を解決する本発明によれば、半導体基板上に形成された互いに異なる導電型の第一ウェル領域および第二ウェル領域と、該第一ウェル領域および第二ウェル領域にそれぞれ形成されたトランジスタとを含んでなるCMOSを備えた内部回路部と、前記半導体基板上に形成された互いに異なる導電型の第三ウェル領域および第四ウェル領域と、該第三ウェル領域および第四ウェル領域にそれぞれ形成されたトランジスタとを含んでなるCMOSを備えた入出力保護回路部とを有する半導体装置であって、前記第一ウェル領域および第二ウェル領域は、不純物低濃度領域と、その下方に設けられた該不純物低濃度領域と同じ導電型の不純物高濃度領域とを含んでなり、前記第三ウェル領域お

よび第四ウェル領域は、不純物低濃度領域からなることを特徴とする半導体装置が提供される。すなわち、内部回路部に含まれるウェル領域の下層部に不純物高濃度領域を形成するのに対し、入出力保護回路部に含まれるウェル領域には不純物高濃度領域を形成することなく、入出力保護回路部に含まれるウェル領域の不純物濃度を、内部回路部に含まれる不純物高濃度領域の不純物濃度より低くすることによって、良好なラッチアップ耐性と良好なESD耐性が両立された半導体装置を提供する。ただし、基板表面に近い領域を上層部と呼び、基板表面から離れている領域を下層部と呼ぶ。

【0012】また本発明によれば、(a)半導体基板上に所定箇所が開口された第一のホトレジストを形成する工程と、(b)前記第一のホトレジストをマスクとしてイオン注入法を行うことにより、内部回路部に第一の不純物低濃度領域、入出力保護回路部に第二の不純物低濃度領域をそれぞれ形成する工程と、(c)第一の不純物低濃度領域上のみ開口部が設けられた第二のホトレジストを形成する工程と、(d)前記第二のホトレジストをマスクとしてイオン注入法を行うことにより、前記第一の不純物低濃度領域内の下層部に、前記第一の不純物低濃度領域と同じ導電型の不純物高濃度領域を形成する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【0013】従来の製造方法では、一回のフォトリソグラフィにより、内部回路部および入出力保護回路部に含まれるウェル領域を同時に形成するため、各回路部毎に不純物の濃度分布が異なるウェル領域を形成することは困難であった。一方、本発明で開示される製造方法では、フォトリソグラフィを二回行う。一回目のフォトリソグラフィでは、内部回路部および入出力保護回路部に含まれるウェル領域を形成するいずれの位置でもホトレジストを開口するのに対し、二回目のフォトリソグラフィでは、内部回路部に含まれるウェル領域を形成する位置においてのみホトレジストを開口する。このような製造方法を採用することにより、内部回路部に含まれるウェル領域の下層部にのみ、選択的に不純物高濃度領域を形成することが可能となった。本発明で開示する製造方法は簡便で量産性に優れているため、良好なラッチアップ耐性とESD耐性を兼ね備える半導体装置を、歩留まり良く、製造できるようになった。

【0014】不純物濃度の正確な制御が可能で、フォトレジストをマスクにして位置選択的に不純物を添加することから、本発明においては、ウェル領域はイオン注入法により形成される。イオン注入法にはイオンビームのエネルギーが数十keVの低速法と、イオンビームのエネルギーが数百keVの高速法があるが、本発明に示す比較的深いウェル領域を形成するには高速法が用いられる。好ましいエネルギーの範囲は100keV以上500keV以下である。エネルギーが100keVを下

回ると形成されるウェル領域が浅くなり過ぎ、500keVを上回ると深くなり過ぎる。好適なドーズ量の範囲は、工程(b)の場合で $0.5 \times 10^{13} \text{ atoms/cm}^2$ 以上 $5 \times 10^{13} \text{ atoms/cm}^2$ 以下、工程(d)の場合で $1 \times 10^{13} \text{ atoms/cm}^2$ 以上 $1 \times 10^{14} \text{ atoms/cm}^2$ 以下である。ドーズ量が好適な値を下回ると、形成されるウェル領域の不純物濃度が低くなり過ぎ、上回る場合は高くなり過ぎる。

【0015】ドーズ量一定でエネルギーを変化させながらイオン注入法を数回行い、不純物濃度が深さ方向に対して、ならされている構造となっている不純物領域を形成することもできる。一回のイオン注入で形成される不純物領域の不純物濃度の深さ方向に対する依存性は、一般的にガウス分布であり、所定の深さ位置でピークを有することが多い。しかし、イオン注入を数回行い、異なる深さ位置でピークを有する複数の不純物領域を重ね合わせることにより、図1(c)に例示するような不純物濃度が深さ方向に対して、ならされている不純物領域を形成することも可能である。さらに、ドーズ量およびエネルギーを変化させながらイオン注入法を数回行うことにより、たとえば深くなるにしたがって不純物濃度が徐々に上昇しているといった、複雑な濃度分布を実現することもできる。また、イオン注入後、必要に応じて、アニールなどの熱処理を行う場合もある。

【0016】本発明によれば、既に述べた課題が以下のように解決される。すなわち、内部回路部に含まれるウェル領域の下層部に不純物高濃度領域が設けられているため、寄生バイポーラトランジスタのベース輸送効率が小さくなり、電流増幅率が低下する。さらに、寄生バイポーラトランジスタのシャント抵抗が小さくなる。このため、ラッチアップ発生の原因となるしきい値電流、およびラッチアップ状態を保持するために必要な保持電流が大きくなり、ラッチアップに対する耐性が向上する。

【0017】また、入出力保護回路部に含まれるウェル領域には不純物高濃度領域が存在していないため、寄生バイポーラトランジスタの電流増幅率の低下が無く、入出力端子からのESD電流のバイパス能力が低下しない。また、シャント抵抗の低下が無いので、寄生バイポーラトランジスタの応答速度が速い。さらに、スナップバック電圧が低く抑えられているので、ジュール発熱量が小さい。以上の作用により、入出力保護回路部分のESD耐量の低下は防がれる。したがって、第一、第二、第三および第四ウェル領域に含まれる不純物低濃度領域の不純物濃度は、第一および第二ウェル領域に含まれる不純物高濃度領域のいずれの不純物濃度よりも低い。

【0018】

【発明の実施の形態】本発明においては、不純物低濃度領域は、内部回路部の場合で、基板表面から深さが1.2 μm 程度までの部分に形成されることが望ましく、入出力保護回路部の場合で、基板表面から深さが2.4 μm

m程度までの部分に形成されることが望ましい。本発明における不純物高濃度領域は、深さが基板表面から0.5〜2.4 μm 程度までの部分に形成されることが望ましい。不純物濃度は深さ方向に対してピークを有していてもよく、ならされていてもよい。また、深くなるにしたがって、不純物濃度が徐々に上昇してもよい。これらの濃度分布に本発明は限定されるものではなく、さらに複雑な濃度分布も可能である。一回のイオン注入で形成される不純物領域は、一般にピークを有している。不純物濃度が、ならされている領域は、ドーズ量一定でイオンビームの加速エネルギーを変化させながらイオン注入法を数回行い、さらに必要に応じて熱処理を行うことにより形成することができる。さらに、ドーズ量およびエネルギーを変化させながらイオン注入法を数回行うことにより、複雑な濃度分布を有する不純物領域を形成することも可能である。

【0019】不純物低濃度領域の不純物濃度は、平均された不純物の濃度を不純物濃度とする。ただし、平均する際に、拡散層の不純物濃度は計算から除外する。不純物高濃度領域の不純物濃度は、最高値をもって不純物濃度とする。さらに、本発明で開示されるウェル領域について、図1(b)および(c)を一例として説明する。これらの図は、不純物濃度の深さ方向に対する依存性を示しており、この例では、不純物低濃度領域の不純物濃度は、ならされており、不純物濃度は c_L である。また11〜12に含まれる下層部に形成されている、不純物高濃度領域の不純物濃度は c_H である。不純物高濃度領域の不純物濃度は、ならされていない。

【0020】本発明においては、前記第一ウェル領域および第二ウェル領域に含まれる不純物高濃度領域の不純物濃度は $2.0 \times 10^{17} \text{ atoms/cm}^3$ 以上 $2.0 \times 10^{18} \text{ atoms/cm}^3$ 以下であり、前記第一ウェル領域、第二ウェル領域、第三ウェル領域および第四ウェル領域に含まれる不純物低濃度領域の不純物濃度は $1.0 \times 10^{17} \text{ atoms/cm}^3$ 以上 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以下であり、前記第一ウェル領域および第二ウェル領域に含まれる不純物高濃度領域の不純物濃度の、前記第三ウェル領域および第四ウェル領域に含まれる不純物低濃度領域の不純物濃度に対する比は1.2以上10.0以下であることが好ましい。さらに、前記第一ウェル領域および第二ウェル領域に含まれる不純物高濃度領域の不純物濃度の、前記第三ウェル領域および第四ウェル領域に含まれる不純物低濃度領域の不純物濃度に対する比が1.5以上8.0以下であることが好ましい。

【0021】不純物高濃度領域の不純物濃度が低過ぎる場合は、シングルイベントラッチアップ耐性が不十分となり、該濃度が高過ぎる場合は製造が困難となる。不純物低濃度領域の不純物濃度が低過ぎる場合は、素子の作動が不十分となり、該濃度が高過ぎる場合は、MOSト

ランジスタのソースおよびドレイン領域底部の接合容量が増大して素子の動作速度が劣化する。また不純物低濃度領域の不純物濃度が高過ぎる場合は、入出力保護回路部のESD耐性が不十分となる。さらに、前記不純物高濃度領域の不純物濃度の、前記不純物低濃度領域の不純物濃度に対する比が小さ過ぎる場合は、十分なラッチアップ耐性やESD耐性が実現せず、高過ぎる場合は製造が困難となる。さらに、前記第一、第二、第三および第四ウェル領域に含まれる不純物低濃度領域の不純物濃度は、すべて等しくても構わない。この場合、同じ導電型のウェル領域を同一の工程で形成できるため、製造方法は著しく簡略化される。ここに述べた不純物濃度の範囲を上記の範囲内とすることにより、良好なラッチアップ耐性、ESD耐性、素子特性および生産性を実現することが可能となる。

【0022】不純物低濃度領域の厚みは0.3 μm 以上1.2 μm 以下であることが好ましく、不純物高濃度領域の厚みは0.3 μm 以上1.2 μm 以下であることが好ましい。各ウェル領域の厚さが、これらの好ましい値以外の場合、十分な素子特性やラッチアップ耐性が実現できないばかりでなく、製造が困難となる。不純物領域の厚みや不純物濃度は、たとえば二次イオン質量分析計(SIMS)などを用いて測定される。

【0023】ラッチアップを抑制するには、基本的にはウェル領域の抵抗を低下させればよい。内部回路部と比較して、入出力保護回路部に対する高集積化の要求は低く、入出力保護回路の構成面積に余裕がある。したがって、入出力端子からの電流ノイズによるラッチアップの発生を抑制することを目的に、入出力保護回路部のウェル領域上に、同じ導電型の拡散層を設けることが好ましい。この拡散層は、通常、入出力回路部のトランジスタを取り囲むように配置され、かつウェル領域と同電位に固定される。この拡散層を設けることにより、入出力端子からウェルに注入されたサージ電流の電荷がこの拡散層に引き抜かれ、CMOSのサイリスタ構造に起因するラッチアップが抑制される。このような効果を有し、ラッチアップを抑制する拡散層であれば、該拡散層の不純物濃度などは特に限定されない。すなわち、本発明においては、前記第三ウェル領域上に、該ウェル領域と同じ導電型の拡散層が形成されており、前記第四ウェル領域上に、該ウェル領域と同じ導電型の拡散層が形成されていることが好ましい。このようにして、入出力保護回路部の十分なラッチアップ耐量を確保することにより、放射線由来の荷電粒子による電荷量程度では、入出力保護回路部にラッチアップは発生しない。

【0024】本発明の半導体装置は、宇宙空間などの放射線環境下で使用される電子部品に好適に搭載される。なぜなら、内部回路部に含まれるウェル領域には不純物高濃度領域が形成されているため、特に、荷電粒子の入射によって引き起こされるシングルイベントラッチアップ

プが効果的に抑制されるからである。宇宙空間では高エネルギーの荷電粒子が飛行しており、荷電粒子が半導体装置に飛来した場合は、半導体基板の深層部まで到達してノイズ電流を発生させ、シングイベントラッチアップの原因となる。本発明においては、内部回路部に含まれるウェル領域の下層部に不純物高濃度領域が設けられているため、荷電粒子が深層部まで到達する場合でも、シングイベントラッチアップの発生が防がれる。さらに、荷電粒子の入射によって引き起こされる他のシングイベントとして、シングイベントアップセットがあるが、前記不純物高濃度領域はこれも効果的に抑制する。以上のことより、本発明で開示される半導体装置では、良好なシングイベントラッチアップ耐性とESD耐性が両立されていることから、特に、宇宙空間などの放射線環境でも良好に作動する。すなわち、本発明では、放射線環境下で用いられることを特徴とする半導体装置が提供される。なお、放射線環境の例として、宇宙空間、成層圏、オゾンホール、原子力設備の管理区域内などを挙げることができる。

【0025】本発明で開示される製造法においては、前記第一のホトレジストを除去することなく、前記第一のホトレジストに前記第二のホトレジストを積層しても構わない。このような工程を採用することにより、製造法はさらに簡便なものとなり、製造コストは低減し、歩留まりは向上する。具体的な効果については、実施例3で述べる。

【0026】

【実施例】（実施例1）本発明の半導体装置の実施を、図1（a）に例示する。図1（a）の左側は入出力保護回路部であり、右側は内部回路部である。両者は分離して描かれているが、同一の半導体チップの一部を示したものである。まず、内部回路部について説明する。P型シリコン基板1上に、N型ウェル領域2、P型ウェル領域3が形成されている。また内部回路部では、N型ウェル領域2の下層部に不純物高濃度領域のN+型ウェル領域4が、またP型ウェル領域3の下層部に不純物高濃度領域のP+型ウェル領域5が、それぞれ設けられている。基板表面には素子分離絶縁膜6が形成されている。N型ウェル領域2の上には、ゲート電極7およびP+型領域8からなるPチャネル型MOSトランジスタが、P型ウェル領域3の上には、ゲート電極9およびN+型領域10からなるNチャネル型MOSトランジスタが形成されている。各ゲート電極の底面にはゲート酸化膜が存在するが、図示は省略した。

【0027】次に、入出力保護回路部について説明する。半導体基板1上に、N型ウェル領域11、P型ウェル領域12が形成されている。基板表面には素子分離絶縁膜6が形成されており、N型ウェル領域11の上にはゲート電極13およびP+型領域14からなるPチャネル型MOSトランジスタが、P型ウェル領域12の上に

はゲート電極15およびN+型領域16からなるNチャネル型MOSトランジスタが、それぞれ形成されている（ゲート酸化膜の図示は省略）。入出力保護回路部には、ラッチアップ防止のための拡散層として、N+型領域17およびP+型領域18が設けられている。

【0028】不純物高濃度領域は、基板表面から0.5～1.2 μm の範囲に形成されており、不純物濃度は、N+型ウェル領域4でリン濃度が $6.0 \times 10^{17} (\text{atoms}/\text{cm}^3)$ 、P+型ウェル領域5でボロン濃度が $1.0 \times 10^{18} (\text{atoms}/\text{cm}^3)$ である。入出力保護回路部では、N型ウェル領域11のリン濃度は $3.0 \times 10^{17} (\text{atoms}/\text{cm}^3)$ 、P型ウェル領域12のボロン濃度は $5.0 \times 10^{17} (\text{atoms}/\text{cm}^3)$ である。内部および入出力保護回路部に含まれるウェル領域の不純物濃度の深さ方向に対する依存性を図1（b）および（c）にそれぞれ示した。ウェル領域は12の深さまで形成されており、拡散層の不純物濃度は記載されていない。この場合、不純物低濃度領域の不純物濃度は深さ方向に対して、ならされているが、本発明はこれに限定されない。

【0029】この半導体装置の内部回路部は、放射線環境下においても十分なシングイベントラッチアップ耐性を有しており、宇宙空間などの過酷な条件下で使用される素子として、好適に使用される。また入出力保護回路部は十分なESD耐性を示し、内部回路部を効果的にESD電流から保護する。

【0030】（実施例2）次に、実施例1に開示した半導体装置の製造方法について、図2を参照して説明する。まずP型シリコン基板1上に素子分離絶縁膜6を形成する。続いて図2（a）に示す様に、N型ウェル3、12を形成する部分を開口してフォトレジスト19を加工する。この状態でボロンのイオン注入を行い、P型ウェル3、12を形成する。このとき、イオン注入のエネルギー、ドーズ量の異なる複数回の注入を行うことにより、たとえば不純物濃度が、ならされたウェル領域の形成、深くなるにしたがって不純物濃度が上昇しているウェル領域の形成、チャネルストップ・パンチスルーストップの形成、しきい値電圧調整などを1回のフォトリソグラフィ工程で実現することができる。

【0031】次に、フォトレジスト19を除去した後、図2（b）に示すように再びフォトレジスト加工を行い、内部回路部のP型ウェル領域3の上方のみを開口したフォトレジスト20を形成する。この状態でボロンのイオン注入を行い、P型ウェル領域3の底部に、不純物高濃度領域であるP+型ウェル領域5を形成する。

【0032】図2（a）の状態でエネルギー100～300keV、ドーズ量 $2.0 \times 10^{13} (\text{atoms}/\text{cm}^2)$ のボロン注入を数回行い、さらに図2（b）の状態でエネルギー300keV、ドーズ量 $3.0 \times 10^{13} (\text{atoms}/\text{cm}^2)$ のボロン注入を行うと、前記図

11

1 の説明の箇所で述べた P+型ウェル領域 5、P 型ウェル領域 12 の不純物濃度が得られる。

【0033】同様に、さらに 2 回のフォトリソグラフィ工程とイオン注入工程を経ることにより、図 1 の N 型ウェル領域 2、11、N+型ウェル領域 4 を形成する。この後、通常の方法により、ゲート酸化膜、ゲート電極、P+型領域、N+型領域などを形成し、図 1 の半導体装置を得る。

【0034】この製造方法によって製造された半導体装置におけるラッチアップ耐性と ESD 耐性はいずれも良好で、製造方法は簡便であるため、製造コストは低く、歩留まりは高い。

【0035】（実施例 3）図 3 は、図 1 に示した半導体装置の他の製造方法を示すものである。まず P 型シリコン基板 1 上に素子分離絶縁膜 6 を形成する。続いて図 3 (a) に示す様に、P 型ウェル領域 3、12 を形成する部分を開口してフォトレジスト 19 を加工する。この状態でボロンのイオン注入を行い、P 型ウェル 3、12 を形成する。ここまでの工程は実施例 2 と同様である。

【0036】次に、フォトレジスト 19 を除去することなく、全面にフォトレジストを塗布する。続いてフォトリソグラフィ加工を行うことにより、図 3 (b) に示す様に、入出力保護回路のみを覆うようなフォトレジスト 21 を形成する。この状態でボロンのイオン注入を行い、P 型ウェル領域 3 の底部に、不純物高濃度領域である P+型ウェル領域 5 を形成する。同様に、さらに 2 回のフォトリソグラフィ工程とイオン注入工程を経ることにより、図 1 の N 型ウェル領域 2、11、N+型ウェル領域 4 を形成する。この後、通常の方法により、ゲート酸化膜、ゲート電極、P+型領域、N+型領域などを形成し、図 1 の半導体装置を得る。この製造方法を用いた場合、実施例 2 の場合に加え、さらに次のような利点がある。

【0037】第一に、図 3 において、P 型ウェル領域 3 を形成するためのイオン注入と、P+型ウェル領域 5 を形成するためのイオン注入を、同一のフォトレジスト 19 をマスクとして行うことができる。これにより、フォトリソグラフィ工程での目合わせズレによる横方向の不純物プロファイルのばらつきを小さくすることができる。横方向の不純物プロファイルの変動は、横形寄生バイポーラトランジスタの電流増幅率の変動につながるもので、横方向プロファイルの変動を小さくすることでラッチアップ耐性の変動も小さく抑えることができる。

【0038】第二に、図 3 (b) のフォトレジスト 21 を形成するためのマスク（レティクル）は、入出力保護回路部のみを覆うような単純な構成とすることができる。これにより、N ウェル領域の形成と P ウェル領域の形成で、同じマスクを用いることができる。またゲートアレイやエンベッデッドアレイの様に製品系列が固定されているような場合は、入出力保護回路と内部回路の位

12

置関係が固定されているので、フォトレジスト 21 を形成するためのマスクを品種毎に作製する必要が無い。

【0039】

【発明の効果】本発明に示す半導体装置においては、内部回路部に含まれるウェル領域の下層部に不純物高濃度領域を形成するのに対し、入出力保護回路部に含まれるウェル領域には不純物高濃度領域を形成しないため、良好なラッチアップ耐性と良好な ESD 耐性が両立される。また、本発明に示す半導体装置は、内部回路部にシングルイベントラッチアップ耐性が付与されているため、放射線環境下で好適に使用される。さらに、本発明に示す半導体装置の製造方法においては、フォトリソグラフィが二回行われるため、特定のウェル領域の下層部に選択的に不純物高濃度領域を形成することが可能となり、本発明で開示される半導体装置を、安価に、歩留まり良く製造できる。

【図面の簡単な説明】

【図 1】 本発明の実施例 1 を示す概略断面図である。

【図 2】 本発明の実施例 1 に示した半導体装置の製造方法を示す概略断面図である。

【図 3】 本発明の実施例 1 に示した半導体装置の他の製造方法を示す概略断面図である。

【図 4】 先行技術を示す概略断面図である。

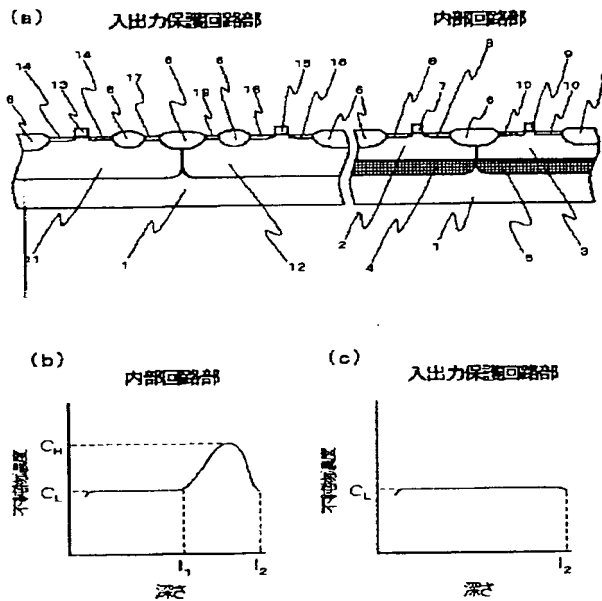
【符号の説明】

- 1 半導体基板（P 型シリコン基板）
- 2 不純物低濃度領域（N 型ウェル領域）
- 3 不純物低濃度領域（P 型ウェル領域）
- 4 不純物高濃度領域（N+型ウェル領域）
- 5 不純物高濃度領域（P+型ウェル領域）
- 6 素子分離絶縁膜
- 7 ゲート電極
- 8 P+型領域
- 9 ゲート電極
- 10 N+型領域
- 11 不純物低濃度領域（N 型ウェル領域）
- 12 不純物低濃度領域（P 型ウェル領域）
- 13 ゲート電極
- 14 P+型領域
- 15 ゲート電極
- 16 N+型領域
- 17 拡散層（N+型領域）
- 18 拡散層（P+型領域）
- 19 フォトレジスト
- 20 フォトレジスト
- 21 フォトレジスト
- 101 半導体基板（P 型シリコン基板）
- 102 N 型ウェル領域
- 103 P 型ウェル領域
- 104 N+型ウェル領域
- 105 P+型ウェル領域

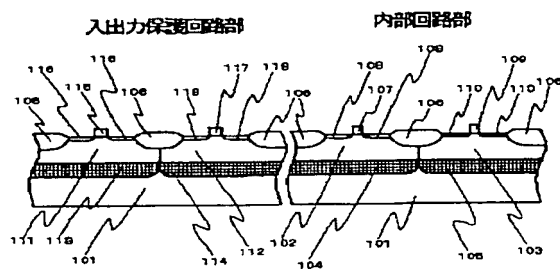
13

- 106 素子分離絶縁膜
- 107 ゲート電極
- 108 P++型領域
- 109 ゲート電極
- 110 N++型領域
- 111 N型ウェル領域
- 112 P型ウェル領域

【図1】



【図4】

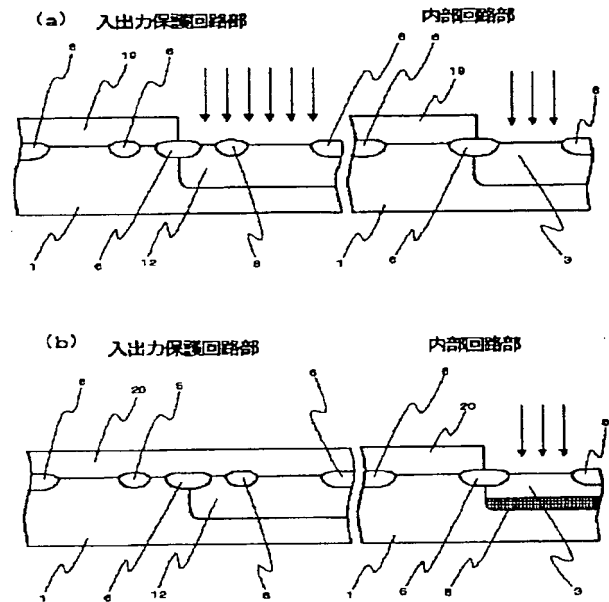


14

- * 113 N+型ウェル領域
- 114 P+型ウェル領域
- 115 ゲート電極
- 116 P++型領域
- 117 ゲート電極
- 118 N++型領域

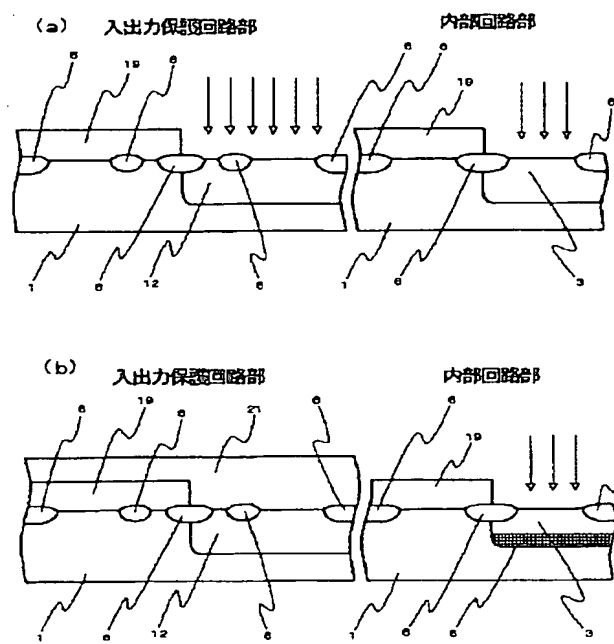
*

【図2】



BEST AVAILABLE COPY

【図3】



BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)